

CONTACT TYPE UN-MAGNIFYING SENSOR

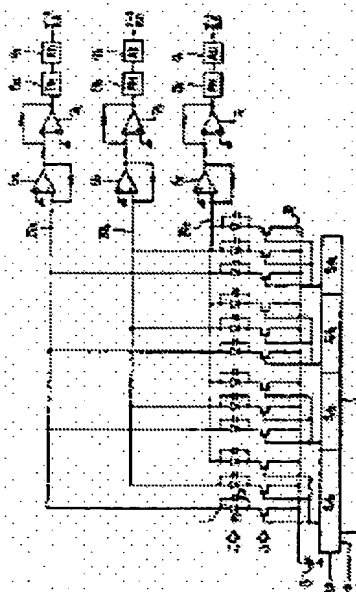
Patent number: JP2071560
Publication date: 1990-03-12
Inventor: INO MASUMITSU; OSADA TAKETO; KOBATA MITSUHIRO
Applicant: RICOH KK; RICOH GEN ELECTRON RES INST
Classification:
- international: **H01L27/146; H04N1/028; H04N5/335; H01L27/146; H04N1/028; H04N5/335; (IPC1-7): H01L27/146; H04N1/028; H04N5/335**
- european:
Application number: JP19880223278 19880906
Priority number(s): JP19880223278 19880906

Report a data error here

Abstract of JP2071560

PURPOSE: To obtain a highly densified sensor and to step-up its in reading speed by a method wherein two or more photoelectric transducers and analog switches connected to different output signal lines are made to make up a group and all electronic components included in the same group and driven at the same time through a shift register.

CONSTITUTION: A large number of pairs of photoelectric transducers 1 and analog switches 3 are divided into blocks where two or more pairs, three pairs herein, are made to form a group, and the above-mentioned photoelectric conversion element group = analog switch group is individually connected as a unit to a shift register 4. On the other hand, other ends of the photoelectric transducers 1, that is, with respect to a signal processing system, are connected to three different sensor output signal lines, 29a, 29b, and 29c corresponding to the classification. By this structure, the analog switches 3, whose three gates are put together into a group, are driven at each bit at the same time through the shift register 4, so that the shift register side does not need to be highly integrated to drive even if the photoelectric transducers 1 is highly densified, and parallel processing can be executed through each signal processing circuit, consequently reading can be performed at a high speed.



Data supplied from the esp@cenet database - Worldwide

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-71560

⑤ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)3月12日

H 01 L 27/146
H 04 N 1/028
5/335A 7334-5C
W 8838-5C
E 8838-5C
7377-5F

H 01 L 27/14

C

審査請求 未請求 請求項の数 2 (全8頁)

⑭ 発明の名称 密着型等倍センサ

⑮ 特 願 昭63-223278

⑯ 出 願 昭63(1988)9月6日

⑰ 発 明 者 猪 野 益 充 東京都大田区中馬込1丁目3番6号 株式会社リコー内
 ⑰ 発 明 者 長 田 武 人 東京都大田区中馬込1丁目3番6号 株式会社リコー内
 ⑰ 発 明 者 木 幡 光 裕 宮城県名取市高館熊野堂字余方上5番地の10 リコー応用
 電子研究所株式会社内
 ⑰ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号
 ⑰ 出 願 人 リコー応用電子研究所 宮城県名取市高館熊野堂字余方上5番地の10
 株式会社
 ⑰ 代 理 人 弁理士 柏 木 明

明 細 書

1. 発明の名称 密着型等倍センサ

2. 特許請求の範囲

1. 異なるセンサ出力信号ラインに接続した複数個を1組とする多数の光電変換素子からなる光センサと、薄膜トランジスタからなり前記光電変換素子に個別に接続されてその充放電電流を制御するアナログスイッチと、前記光電変換素子組に個別に対応するビット数からなり前記アナログスイッチを前記光電変換素子組に対応する組単位で駆動させるシフトレジスタとを、同一の絶縁性基板上に形成したことを特徴とする密着型等倍センサ。

2. 光電変換素子に接続されたアナログスイッチのソース電極配線が隣接ビットの光電変換素子に接続されたアナログスイッチのドレイン電極配線を横切る個所に位置する当該ドレイン電極配線

を活性層により形成し、その上に層間絶縁膜を介して金属電極配線を施して隣接ビット用のアナログスイッチの配線をしたことを特徴とする請求項1記載の密着型等倍センサ。

3. 発明の詳細な説明

産業上の利用分野

本発明は、原稿スキヤナ等において用いられる密着型等倍センサに関する。

従来の技術

近年、画像読取りセンサとしては縮小光学系を用いることによる全体の大形化を避けるため、センサ自体を原稿と同等の大きさとした密着型等倍センサを用いるようにしたものがある。

第6図に従来の密着型等倍センサの回路構成を示す。まず、多数個の光電変換素子1からなる光センサ2が設けられている。光電変換素子1の各々はフォトダイオードPDとセンサ容量(充電用

コンデンサ) C Dとを並列接続したフオトダイオード型構造のものとして表わされる。

このような光電変換素子1には各々アナログスイッチ3が個別に接続され、クロック信号 ϕ 、 $\bar{\phi}$ 及びスタート信号SPに従い動作してこれらのアナログスイッチ3を順次動作させ各光電変換素子1を選択駆動させるセンサ駆動用のシフトレジスタ4が設けられている。5はアナログスイッチ用の電源である。ここに、光センサ2の各ビット、即ち各光電変換素子1にはシフトレジスタ4の1ビットが対応し(第6図において、シフトレジスタ4中のS/Rは各ビット毎のシフトレジスタを示す)、アナログスイッチ3も対応している。一方、光電変換素子1の他端側は共通接続されて電流-電圧変換回路、例えば、2段の演算増幅器6、7に接続されている。演算増幅器7からの出力はピークホールド回路(又は積分回路)8及びA/Dコンバータ9に入力され、A/Dコンバータ9

からデータ出力が得られる。

このような構成において、画像読取りに際して最初は全部のビットがたたかれて各充電用コンデンサC Dが充電状態となる。このような状態で各ビットに原稿面の白黒に対応させて光を照射させることにより、光を受光した光電変換素子1は放電する。そこで、今度はシフトレジスタ4により各々のアナログスイッチ3を順次個別にオンさせることにより、その時にフオトダイオードPDを介して流れる電流を演算増幅器6、7により電圧に変換して検出する。そして、ピークホールド回路8にて光の強弱に対応した電圧値を読取り、A/Dコンバータ9で階調性を持たせたデジタル変換処理をしてデータ出力させるものである。

このような回路構成からなる等倍光センサ10は概略的には第7図に示すようにユニット構成される。即ち、透明な絶縁性基板、例えば石英基板11上に多数の光電変換素子1を直線アレイ状に

配列させてなる光センサ2を形成するとともに、同一の石英基板(絶縁性基板)11上に駆動回路部12(具体的にはアナログスイッチ3及びシフトレジスタ4)を形成してなる。

ここに、各光電変換素子1部分は例えば第8図に示すようなサンドイッチ構造として構成されている。即ち、石英基板11上に保護膜13、絶縁膜14、金属電極15を順次積層形成し、更に半導体膜16及び保護膜17を形成し、最上位に透明電極18を形成してなる。

一方、駆動回路部12も薄膜トランジスタ構造として光センサ2と同一の石英基板11上に形成されている。より具体的には、第9図及び第10図に示すようにポリSiを活性層に用いたMOS型インバータ(プレーナ型薄膜トランジスタTF T)として構成されている。まず、石英基板11上に活性層20がパターン形成され、その両側にp⁺形拡散層21を形成する。その上にゲート酸

化膜22を介してゲート電極23を形成し、これらの表面を層間絶縁膜24で覆う。そして、層間絶縁膜24の一部にコンタクトホール25を形成し、p⁺形拡散層21に電気的に導通する金属電極26を形成する。このようにして、p型MOS構造のアナログスイッチ3が構成されている。このようなアナログスイッチ3に隣接させてn型MOS構造のシフトレジスタ4が構成されている。このシフトレジスタ4もアナログスイッチ3と同一構造であるが、p⁺形拡散層21に相当する部分がn⁺形拡散層27として構成されている。これらの表面は保護膜(図示せず)により覆われている。なお、28はゲート酸化膜22及びゲート電極23回りに形成された薄い絶縁膜である。

即ち、透明な絶縁性基板11上に形成する密着型等倍センサにおいては、光センサ10を駆動するためにTF T等により形成される駆動回路をも一体化することが可能である。即ち、光センサ・

駆動回路一体型の研究・開発が進んでいる。

発明が解決しようとする問題点

ところが、このような等倍型密着センサの読取りの画像品質を向上させるため、最近では、現状の200dpi（1インチ当り200ドット＝8ドット/mm）に対し、400dpi（＝16ドット/mm）仕様のセンサユニットが要望されている。しかし、密度が高くなると、その分、読取り速度が遅くなってしまう可能性がある。例えば、現状の200dpi仕様であつて、A4サイズ用の1728ビット、長手方向の長さ216mmのものでは、読取り時間が2.5msecであるが、これを単純に、倍の400dpiにすると、A4サイズで3456ビットとなるため、読取り時間は5.0msecとなつてしまい、フアクシミリ等として原稿読取り時間の長いものとなる。この場合、薄膜トランジスタの特性の向上、センサ特性の向上等を図れば、ある程度、読取り速度を向上させ得るが、回路構

成上、より一層の高集積化の必要性等を伴い、コスト高、歩留まりの低下等を生ずる。ちなみに、第6図において図面中は不等間隔となつていますが、1ビット毎のシフトレジスタS/Rは各々125 μ m＝8個/mmに形成されており、このまま400dpi仕様に対応するとなると、倍の集積化が必要となつてしまう。

問題点を解決するための手段

請求項1記載の発明では、異なるセンサ出力信号ラインに接続した複数個を1組とする多数の光電変換素子からなる光センサと、薄膜トランジスタからなり前記光電変換素子に個別に接続されてその充放電電流を制御するアナログスイッチと、前記光電変換素子組に個別に対応するビット数からなり前記アナログスイッチを前記光電変換素子組に対応する組単位で駆動させるシフトレジスタとを、同一の絶縁性基板上に形成する。

また、請求項2記載の発明では、光電変換素子

に接続されたアナログスイッチのソース電極配線が隣接ビットの光電変換素子に接続されたアナログスイッチのドレイン電極配線を横切る個所に位置する当該ドレイン電極配線を活性層により形成し、その上に層間絶縁膜を介して金属電極配線を施して隣接ビット用のアナログスイッチの配線をする。

作用

請求項1記載の発明によれば、光電変換素子とアナログスイッチとは1:1の対応関係で動作するが、これらは異なるセンサ出力信号ラインに接続した複数個を1組として同一組内のものはシフトレジスタにより同時に駆動されるので、少ないシフトレジスタ数にて多くのアナログスイッチ及び光電変換素子を駆動させ得る。よつて、光電変換素子及びアナログスイッチを400dpiの如く高画素密度化させタ場合であつてもシフトレジスタ側は高集積化させることなく現状程度の密度、

大きさのシフトレジスタにして駆動させ、高密度センサ化を達成できる。同時に、光電変換素子から得られるセンサ出力信号は異なるセンサ出力信号ラインを通して各々の信号処理回路に与えることにより、同時に並列処理でき、読取り速度の高速化も可能である。

また、請求項2記載の発明によれば、アナログスイッチにつき、隣接ビット間で交叉配線個所が生じたとしても、その活性層をドレイン電極配線として利用した配線構造により、工程数が増えることなく、実装配線し得ることになる。

実施例

本発明の第一の実施例を第1図及び第2図に基づいて説明する。第6図ないし第10図で示した部分と同一部分は同一符号を用いて説明する。本実施例は、基本的にはシフトレジスタ4の1ビット分で光電変換素子1及びアナログスイッチ3の3ビット分を同時に駆動させる構成により、画素

密度の向上と読取り速度の向上とを図るようにしたものである。このため、第1図中では光電変換素子1が第6図等と同様に示されるが、例えば第6図に示した光電変換素子1を現状の200dpiとした時、第1図に示す光電変換素子1は倍の400dpiのものとして形成されたものである。このような多数の光電変換素子1にはアナログスイッチ3が個別に接続されている。つまり、アナログスイッチ3も光電変換素子1と同数だけ設けられている。このような多数の光電変換素子1、アナログスイッチ3の対は、図示の如く、複数個、ここでは3個を1組としてブロック分けされており、このような光電変換素子組＝アナログスイッチ組を単位として個別にシフトレジスタ4が接続されている。つまり、シフトレジスタ4の各ビット数(S/R部分の数)は光電変換素子1の数に対して1/3とされている。一方、光電変換素子1の他端、即ち信号処理系については、組分けに

対応して3本の異なるセンサ出力信号ライン29a, 29b, 29cに各々接続されている。信号処理回路、即ち、演算増幅器6, 7、ピークホールド回路(又は積分回路)8及びA/Dコンバータ9も、各々a, b, cを付して示すように、各センサ出力信号ライン29a, 29b, 29c毎に接続されている。

第2図はこのような構成に基づく動作を示すタイミングチャートである。

このような構成によれば、アナログスイッチ3は3個のゲート端子が1組としてまとめられ、シフトレジスタ4の同一ビットS/Rにより同時に駆動されるので、光電変換素子1を400dpiに高密度化させても、シフトレジスタ4側を高集積化させることなく、駆動させることができ、歩留まりのよいものとなる。ちなみに、400dpi仕様を示す第1図において、図面中は不等間隔となっているが、シフトレジスタ4中の1ビット毎の

シフトレジスタS/Rは各々125 μ m以下で済み、従来と同等又はそれ以下の集積度のセンサシフトレジスタ構成でよいものとなる。また、光電変換素子1の組分けに対応してセンサ出力信号ライン29a, 29b, 29cを有するので、組単位での同時駆動に対応して3ビット分ずつのセンサ信号が第2図に示すように同時に得られ(即ち、センサ出力信号ライン29aからはビットNo.1, 4, 7, ~、センサ出力信号ライン29bからはビットNo.2, 5, 8, ~、センサ出力信号ライン29cからはビットNo.3, 6, 9, ~の信号が各々得られる)、各々の信号処理回路により並列処理が可能となるので、光電変換素子1の高密度化にかかわらず、読取り速度を従来通り(=2, 5msec)又はそれ以上に高速化することができる。

なお、本実施例における光電変換素子1(第8図参照)部分の具体的素材を説明する。まず、半導体膜17, 16はa-Si:OHによる膜とa

-Si:Hによる膜とからなる。透明電極18はITO、金属電極15はCr、絶縁膜13はSiO₂、Si₃N₄又はa-Si:H、保護膜14はSiO₂又はSi₃N₄からなる。

また、本実施例におけるアナログスイッチ3ないしシフトレジスタ4(第9図及び第10図参照)部分の具体的素材及び製法を説明する。まず、活性層20は多結晶Si、p⁺形拡散層21はボロンドープの多結晶Si、n⁺形拡散層27はリンドープ、ヒ素ドープの多結晶Si、ゲート酸化膜22はSiO₂、ゲート電極23は多結晶Si、層間絶縁膜24及び保護膜はSiO₂やSi₃N₄、金属電極26はAl、AlSi、AlSiCu、Mo等が用いられている。活性層20はCVD法により膜厚約2000Åに形成される。ゲート電極23は熱酸化による膜厚約1000Åのゲート酸化膜22に続き、CVD法により膜厚約4000Åに多結晶Si層を形成することによる。拡散

層27, 21はイオン打込法による。 As^+ : 80 KeV、ドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ 、 B^+ : 30 KeV、ドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ なる条件による。また、ゲート酸化膜22及びゲート電極23回りには、薄い絶縁膜28が形成されている。この絶縁膜は、 O_2 雰囲気下で900℃にて30分放置することにより、膜厚約100Åに形成してなる。これは、ゲート電極23端面からドレイン電極、ソース電極へのリークを低減させるためである。また、ソース電極、ドレイン電極26は、まず、基板温度を400℃としCVD法により膜厚約1 μm の SiO_2 による層間絶縁膜24を形成した後、常法によりコンタクトホール25を形成し、 Al を用いたスパッタリング法により膜厚約1 μm に形成される。

つづいて、本発明の第二の実施例を第3図ないし第5図により説明する。動作的には第1図の場合と同様であるが、アナログスイッチ3周りの配

線状態を第1図の場合とは異なる状態で組分けしたものである。即ち、何れの場合もアナログスイッチ3のソース電極を電源5に接続するが、第1図にあつては全てのアナログスイッチ3に共通な1本の配線30で接続したのに対し、本実施例では各組内において、最初のもの、2番目のものと最後のものとに分けて、各々に共通な電源配線30a, 30b, 30cにより接続するようにしたものである。これにより、薄膜トランジスタ構成のアナログスイッチ3自体の配列も1直線状から千鳥状配列が可能となり、光電変換素子1と同数の高密度化上、有利となる。

ところで、第3図に示す本実施例のような配線、配列による場合、第3図中に符号aで示す個所では、アナログスイッチ用の電源配線=ソース電極配線と隣接ビットのアナログスイッチのドレイン電極配線とが交叉することになる。このような交叉個所の作成に際しては、層間絶縁膜等を介した

通常の多層配線により電極を交叉配線させる方式でもよいが、金属電極膜を余分に必要とし、工程数が増えてしまう。この点、本実施例では個所aのような隣接ビット間についてのアナログスイッチのソース電極配線とドレイン電極配線との交叉個所を第4図及び第5図に示すような構造とする。ここでは、例えば第3図中の一番左側の交叉個所aであるとする。即ち、ソース電極配線が電源配線30bに接続されたアナログスイッチ3であつて、そのドレイン電極側が隣接ビット用の他の電源配線30aと交叉する個所の例である。まず、第9図及び第10図に示したようなアナログスイッチ3用の活性層20を石英基板11上に形成する際、この活性層20をドレイン電極(第9図等では金属電極に相当する)配線として該当する光電変換素子1側まで延長して形成する。そして、層間絶縁膜24を形成した後、当該アナログスイッチ3用の電源配線30b(=ドレイン電

極配線)とともに交叉個所aを通る隣接ビット用の電源配線30aを金属配線により積層形成する。このように交叉個所の配線に活性層を利用することにより、交叉個所aのために、現状の作成プロセス工程数が増えることがない。

発明の効果

本発明は、上述したように、請求項1記載の発明では、異なるセンサ出力信号ラインに接続した複数を1組とする多数の光電変換素子からなる光センサと、薄膜トランジスタからなり前記光電変換素子に個別に接続されてその充放電電流を制御するアナログスイッチと、前記光電変換素子組に個別に対応するビット数からなり前記アナログスイッチを前記光電変換素子組に対応する組単位で駆動させるシフトレジスタとを、同一の絶縁性基板上に形成したので、光電変換素子とアナログスイッチとは1:1の対応関係で動作するのに対し、異なるセンサ出力信号ラインに接続した複数

個を1組として同一組内のものはシフトレジスタにより同時に駆動させるので、少ないビット数のシフトレジスタにて多くのアナログスイッチ及び光電変換素子を駆動させることができ、よって、光電変換素子及びアナログスイッチを400dpiの如く高画素密度化させた場合であつてもシフトレジスタ側は高集積化させることなく現状程度の密度、大きさの歩留まりのよいシフトレジスタ構成にして、高密度センサ化を達成でき、同時に、光電変換素子から得られるセンサ出力信号は異なるセンサ出力信号ラインを通して各々の信号処理回路に与えることにより、複数ビット分を同時に並列処理でき、読取り速度の高速化も可能であり、更に、請求項2記載の発明によれば、アナログスイッチにつき、隣接ビット間で交叉配線個所が生じたとしても、その活性層をドレイン電極配線として利用した配線構造としたので、別個に金属電極配線を設ける必要がなく、工程数が増えること

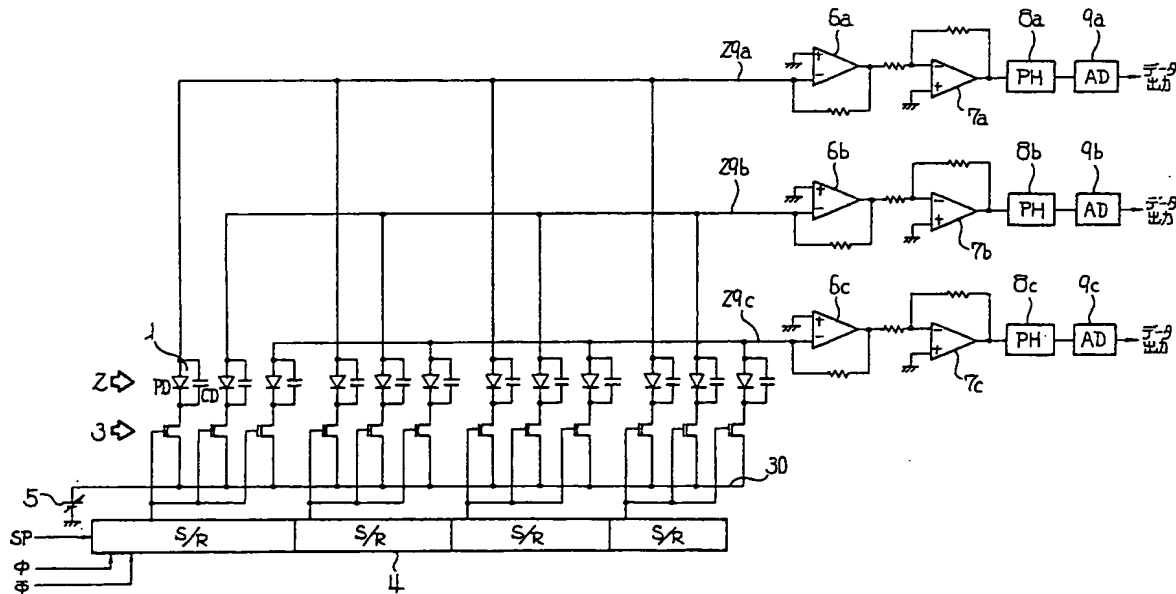
なく、実装配線することが可能となる。

4. 図面の簡単な説明

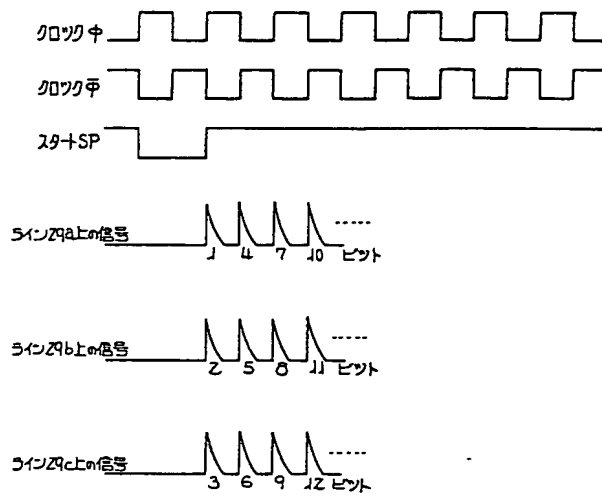
第1図は本発明の第一の実施例を示す回路図、第2図はタイミングチャート、第3図は本発明の第二の実施例を示す回路図、第4図は交叉個所付近の電極配線構造を示す平面図、第5図はその一部の断面図、第6図は従来例を示す回路図、第7図はそのユニット構成を示す斜視図、第8図は光電変換素子構造を示す断面図、第9図はプレーナ型TFT構造を示す平面図、第10図はその断面図である。

1…光電変換素子、2…光センサ、3…アナログスイッチ、4…シフトレジスタ、11…絶縁性基板、20…活性層、24…層間絶縁膜、29a、29b、29c…センサ出力信号ライン、30a、30b、30c…ソース電極配線、a…交叉個所

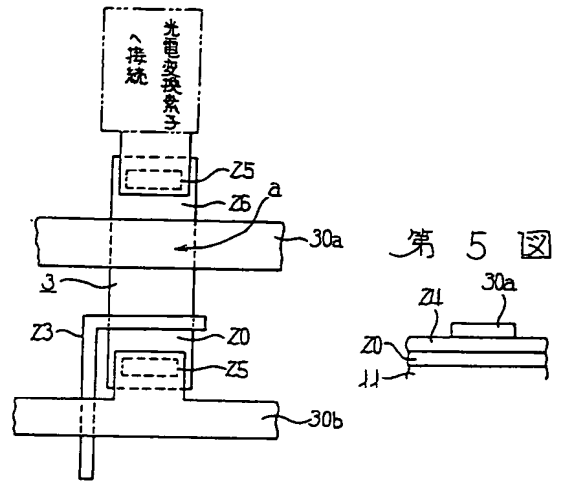
第1図



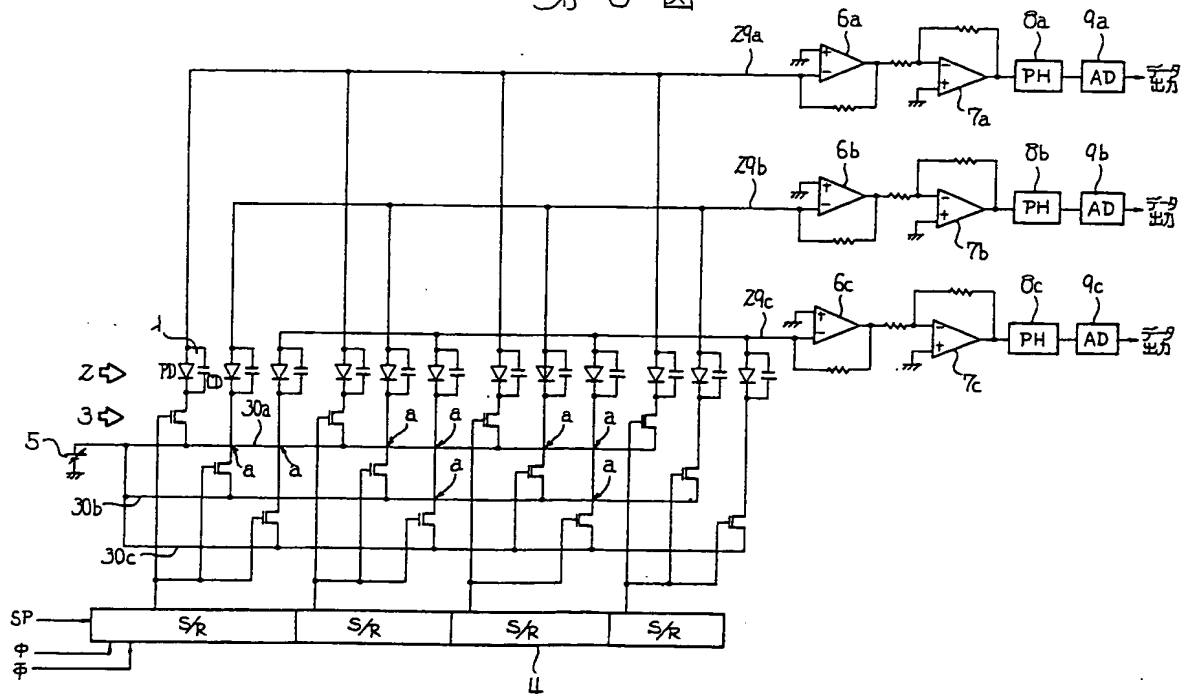
第 2 圖



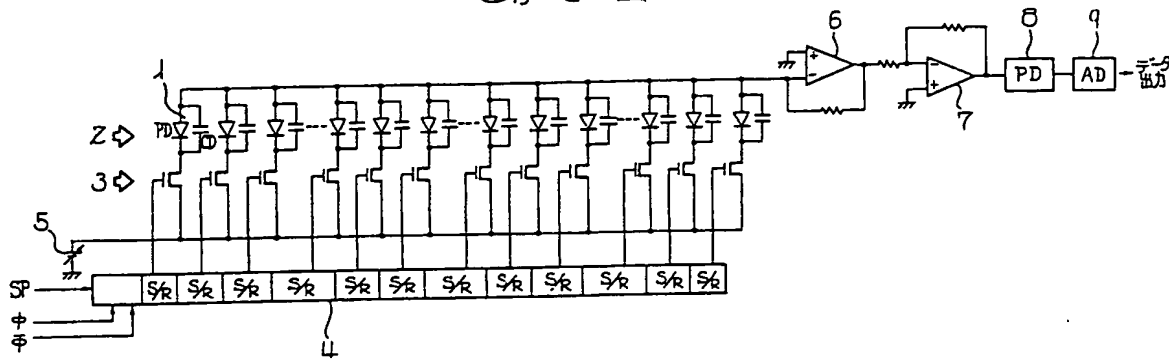
第 4 図



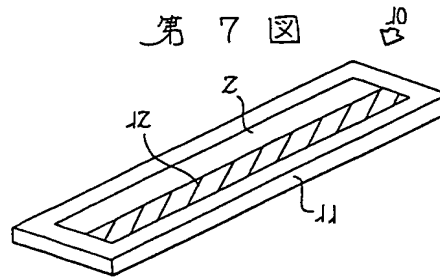
第 3 図



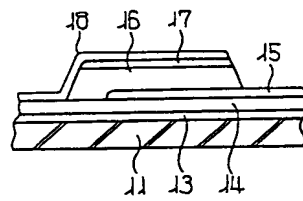
第 6 図



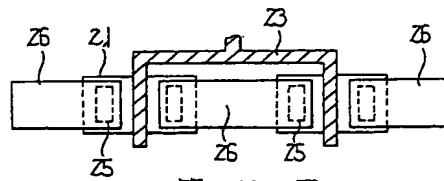
第 7 図



第 8 図



第 9 図



第 10 図

